

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年   4 月 1 0 日  
Date of Application:

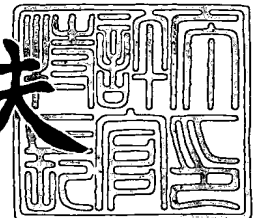
出 願 番 号            特 願 2 0 0 3 - 1 0 6 1 4 5  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 3 - 1 0 6 1 4 5 ]

出   願   人            T D K 株 式 会 社  
Applicant(s):

2 0 0 4 年   2 月 1 9 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号   出証特 2 0 0 4 - 3 0 1 1 0 4 7

【書類名】 特許願

【整理番号】 P03012

【提出日】 平成15年 4月10日

【あて先】 特許庁長官殿

【国際特許分類】 H01G 4/12  
H01G 4/30

【発明者】

【住所又は居所】 東京都中央区日本橋一丁目 1 3 番 1 号 ティーディーケイ株式会社内

【氏名】 富樫 正明

【発明者】

【住所又は居所】 秋田県由利郡仁賀保町平沢字前田 1 5 1 ティーディーケイ エムシーシー株式会社内

【氏名】 今井 一郎

【特許出願人】

【識別番号】 000003067

【氏名又は名称】 ティーディーケイ株式会社

【代理人】

【識別番号】 100101269

【弁理士】

【氏名又は名称】 飯塚 道夫

【電話番号】 03-5951-0615

【手数料の表示】

【予納台帳番号】 065766

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

●  
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 積層コンデンサ

【特許請求の範囲】

【請求項 1】 誘電体層を積層して直方体状に形成された誘電体素体と、  
同一面上に 2 種類ずつ並ぶと共に層間が誘電体層で隔てられつつそれぞれ誘電体素体内に順次配置され且つ、それぞれ一つの引出部が引き出された 8 種類の内部導体と、

誘電体素体を形成する 4 つの側面の内の長く形成された二つの側面に配置され且つ、各引出部を介して 8 種類の内部導体とそれぞれ接続される 8 つの端子電極と、

を有した積層コンデンサであって、

隣り合う端子電極同士の極性が相互に異極になるように、各引出部が誘電体素体の 4 つの側面の内の長く形成された二つの側面に向かって 4 つずつ引き出されて 8 つの端子電極にそれぞれ接続されることを特徴とする積層コンデンサ。

【請求項 2】 8 種類の内部導体にそれぞれ切込部が形成されると共に、これらの内部導体の切込部周りの部分が電流が流れ得る流路部とそれぞれされ、

誘電体層を介して隣り合っている内部導体の流路部同士間で相互に逆向きに電流が流れる形に、これら流路部がそれぞれ配置されることを特徴とする請求項 1 記載の積層コンデンサ。

【請求項 3】 8 種類の内部導体が、誘電体素体内に複数ずつ配置されたことを特徴とする請求項 1 或いは請求項 2 に記載の積層コンデンサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、等価直列インダクタンス（ESL）を大幅に低減した積層コンデンサに係り、特に CPU 用の電源の電圧変動を小さくし得る積層セラミックコンデンサに好適なものである。

【0002】

【従来の技術】

近年、情報処理装置に用いられるCPU（主演算処理装置）は、処理スピードの向上及び高集積化によって、動作周波数が高くなる共に消費電流が著しく増加している。そしてこれに伴い、消費電力の低減化によって動作電圧が減少する傾向にあった。従って、CPUに電力を供給する為の電源では、より高速で大きな電流変動が生じるようになり、この電流変動に伴う電圧変動をこの電源の許容値内に抑えることが非常に困難になった。

#### 【0003】

この為、図7に示すように、デカップリングコンデンサと呼ばれる積層コンデンサ100が電源102に接続される形で、電源の安定化対策に頻繁に使用されるようになった。そして、電流の高速で過渡的な変動時に素早い充放電によって、この積層コンデンサ100からCPU104に電流を供給して、電源102の電圧変動を抑えるようにしている。

#### 【0004】

##### 【特許文献1】

特開2002-164256号公報

##### 【特許文献2】

特開2002-231559号公報

##### 【特許文献3】

特開平11-144996号公報

##### 【特許文献4】

特開2002-151349号公報

##### 【特許文献5】

特開2001-284171号公報

#### 【0005】

##### 【発明が解決しようとする課題】

しかし、今日のCPUの動作周波数の一層の高周波数化に伴って、電流変動はより高速且つ大きなものとなっていた。この為、図7に示す積層コンデンサ100自身が有している等価直列インダクタンス（ESL）が相対的に大きくなる結果として、この等価直列インダクタンスが電源の電圧変動に大きく影響するよう

になった。

#### 【0006】

つまり、図7に示すCPU104の電源回路に用いられる従来の積層コンデンサ100では、この図7における等価回路に示された寄生成分であるESLが高いことから、図8に示す電流Iの変動に伴って、このESLが積層コンデンサ100の充放電を阻害するようになる。この為、上記と同様に電源の電圧Vの変動が図8のように大きくなり易く、今後のCPUの高速化には適応できなくなりつつあった。

#### 【0007】

この理由は、電流の過渡時である充放電時における電圧変動が下記の式1で近似され、ESLの高低が電源の電圧変動の大きさと関係するからである。

$$dV = ESL \cdot di / dt \cdots \text{式1}$$

ここで、dVは過渡時の電圧変動(V)であり、iは電流変動量(A)であり、tは変動時間(秒)である。

#### 【0008】

一方、ここでこの従来のコンデンサの外観を図9に示すと共に内部構造を図10に示し、これらの図を基にして以下に従来の積層コンデンサ100を説明する。つまり、静電容量が得られるように、図9に示す従来の積層コンデンサ100は、図10に示す二種類の内部導体114、116をそれぞれ設置した一对のセラミック層112Aが交互に積層されて、誘電体素体112が形成される構造となっている。

#### 【0009】

そして、これら二種類の内部導体114、116は、誘電体素体112の相互に対向する二つの側面112B、112Cにそれぞれ引き出されていて、内部導体114に接続される端子電極118及び、内部導体116に接続される端子電極120が、図9に示す積層コンデンサ100の相互に対向する側面112B、112Cにそれぞれ設置された構造となっている。

本発明は上記事実を考慮し、等価直列インダクタンスを大幅に低減してCPU用の電源の電圧変動を小さくできる積層コンデンサを提供することを目的とする

。

### 【0010】

#### 【課題を解決するための手段】

請求項1による積層コンデンサは、誘電体層を積層して直方体状に形成された誘電体素体と、

同一面上に2種類ずつ並ぶと共に層間が誘電体層で隔てられつつそれぞれ誘電体素体内に順次配置され且つ、それぞれ一つの引出部が引き出された8種類の内部導体と、

誘電体素体を形成する4つの側面の内の長く形成された二つの側面に配置され且つ、各引出部を介して8種類の内部導体とそれぞれ接続される8つの端子電極と、

を有した積層コンデンサであって、

隣り合う端子電極同士の極性が相互に異極になるように、各引出部が誘電体素体の4つの側面の内の長く形成された二つの側面に向かって4つずつ引き出されて8つの端子電極にそれぞれ接続されることを特徴とする。

### 【0011】

請求項1に係る積層コンデンサによれば、誘電体層を積層して直方体状に形成された誘電体素体内に、8種類の内部導体が、それぞれ2種類ずつ同一面上に並ぶ形で誘電体層を介して隔てられつつ配置されており、また、8つの端子電極が、誘電体素体を形成する4つの側面の内の長く形成された二つの側面に4つずつ配置されている。

### 【0012】

そして、8種類の内部導体からそれぞれ引き出された各一つで計8つとなる引出部が、誘電体素体の4つの側面の内の長く形成された二つの側面に向かって4つずつ引き出されて、隣り合う端子電極同士の極性が相互に異極になるように、8つの端子電極にそれぞれ接続されている。つまり、これら8種類の内部導体が2種類ずつ同一面上に配置される形で、4層積層されるのに伴って、内部導体が相互に対向しつつ並列して配置されるコンデンサを二組形成している。

### 【0013】

この結果として、例えば誘電体層を介して隣り合っている二つの内部導体同士の引出部が、誘電体素体の側面に隣り合って配置される二つの端子電極にそれぞれ接続されるようにすれば、本請求項の積層コンデンサへの通電の際に、隣り合う端子電極同士の極性が相互に異なって交互に正負極に順次なる形で、電流が流されるようになる。これに伴って、各引出部でそれぞれ発生する磁束が相互に逆向きに引出部内に流れる電流によって互いに打ち消し合い、等価直列インダクタンスを低減する効果が生じるようになる。

#### 【0014】

以上より、本請求項に係る積層コンデンサでは、一層の低ESL化が図られて、実効インダクタンスが大幅に低減されるようになる。この結果、本請求項によれば電源の電圧の振動を確実に抑制できて、CPUの電源用として最適な積層コンデンサが得られる。

#### 【0015】

さらに、本請求項では、8種類の内部導体がそれぞれ同一面上に2種類ずつ並ぶ形で配置されるのに伴って、2組のコンデンサから成るコンデンサアレイを構成することになるので、積層コンデンサの高機能化を図ることが可能となる。そして、誘電体素体の4つの側面の内の長く形成された二つの側面に、内部導体の引出部と接続される端子電極が4つずつ存在することで、長く形成された側面を有効に活用できるのに伴い、積層コンデンサの小型化を図ることもできるようになった。

#### 【0016】

請求項2に係る積層コンデンサによれば、請求項1の積層コンデンサと同様の構成の他に、8種類の内部導体にそれぞれ切込部が形成されると共に、これらの内部導体の切込部周りの部分が電流が流れ得る流路部とそれぞれされ、誘電体層を介して隣り合っている内部導体の流路部同士間で相互に逆向きに電流が流れる形に、これら流路部がそれぞれ配置されるという構成を有している。

#### 【0017】

これに伴って、本請求項では、これら8種類存在する内部導体が、それぞれ切込部を有し、この切込部の周りの内部導体の部分が流路部を構成しているだけで



なく、誘電体層を介して隣り合っている別の内部導体の流路部との間で相互に逆方向に電流が流れる形に、流路部がそれぞれ配置されることになる。

#### 【0018】

従って、この積層コンデンサへの通電の際に、誘電体層を介して隣り合う上下の流路部同士間で、電流が相互に逆方向に流れるようになる。そしてこれに伴って、内部導体に流れる高周波電流により発生する磁束が互いに打ち消し合うように相殺され、積層コンデンサ自体が持つ寄生インダクタンスを少なくすることで、等価直列インダクタンス (ESL) が低減される。さらに、同一の内部導体内においても、切込部を挟んで位置する流路部の部分間で、電流の流れる方向が相互に逆なるので、等価直列インダクタンスが一層低減されるようになる。

#### 【0019】

以上より、本請求項に係る積層コンデンサによれば、請求項1にも増してさらに低ESL化が図られて、実効インダクタンスがより一層大幅に低減されるようになる。

#### 【0020】

請求項3に係る積層コンデンサによれば、請求項1及び請求項2の積層コンデンサと同様の構成の他に、8種類の内部導体が、誘電体素体内に複数ずつ配置されたという構成を有している。

つまり、これら8種類の内部導体をそれぞれ誘電体素体内に複数ずつ配置することで、本請求項に係る積層コンデンサの静電容量が高まるだけでなく、磁界を相殺する作用がさらに大きくなり、インダクタンスがより大幅に減少してESLが一層低減されるようになる。

#### 【0021】

##### 【発明の実施の形態】

以下、本発明に係る積層コンデンサの一実施の形態を図面に基づき説明する。

本実施の形態に係る積層コンデンサである積層セラミックコンデンサ（以下単に、積層コンデンサと言う）10を図1から図5に示す。これらの図に示すように、誘電体シートであるセラミックグリーンシートを複数枚積層した積層体を焼成することで得られた直方体形状の焼結体である誘電体素体12を主要部として

、この積層コンデンサ 10 が構成されている。

#### 【0022】

図 1 及び図 3 に示すように、この誘電体素体 12 内の所定の高さ位置には、面状の内部導体 21、25 が相互間に隙間を有しつつ、左右に並んで配置されており、誘電体素体 12 内において誘電体層とされるセラミック層 12A を隔てた内部導体 21、25 の下側には、同じく面状の内部導体 22、26 が相互間に隙間を有しつつ、左右に並んで配置されている。

#### 【0023】

誘電体素体 12 内においてセラミック層 12A を隔てた内部導体 22、26 の下側には、同じく面状の内部導体 23、27 が相互間に隙間を有しつつ、左右に並んで配置されており、誘電体素体 12 内においてセラミック層 12A を隔てた内部導体 23、27 の下側には、同じく面状の内部導体 24、28 が相互間に隙間を有しつつ、左右に並んで配置されている。

#### 【0024】

以上より、これら内部導体 21 から内部導体 24 までの 4 種類の内部導体が、誘電体素体 12 内の左側寄りの部分において、セラミック層 12A で隔てられつつ相互に対向して配置されることになり、また、これら内部導体 25 から内部導体 28 までの 4 種類の内部導体が、誘電体素体 12 内の右側寄りの部分において、セラミック層 12A で隔てられつつ相互に対向して配置されることになる。

#### 【0025】

つまり、本実施の形態では、焼成後の誘電体シートであるセラミック層 12A がそれぞれの間に挟まれつつ、内部導体 21 から内部導体 24 までの 4 種類の内部導体と、内部導体 25 から内部導体 28 までの 4 種類の内部導体とが、順に誘電体素体 12 内に配置されていることで、計 8 種類の内部導体 21～28 が誘電体素体 12 内に配置されていることになる。さらに、内部導体 24、28 の下側には、図 3 に示すように上記と同じ順序でこれら二つずつ 4 層の電極である内部導体が繰返されて配置されていて、これらの組が例えば計数十組程度（図では 3 組示す）存在している。

#### 【0026】

そして、誘電体素体 12 内の同一層内に各二つずつの計 4 層配置される各内部導体 21～28 とセラミック層 12A の外周端との間には、ほぼ均一な隙間を有する形になるように、これら各内部導体 21～28 はそれぞれ四角形に形成されている。尚、これらそれぞれ四角形に形成された内部導体 21～28 の材質としては、卑金属材料であるニッケル、ニッケル合金、銅或いは、銅合金が考えられるだけでなく、これらの金属を主成分とする材料が考えられる。

#### 【0027】

一方、図 1 に示すように、内部導体 21 には、この内部導体 21 の手前側左寄り部分から手前側方向に向かって引き出されるように、引出部 21A が形成されている。また、内部導体 22 の手前側右寄り部分から手前側方向に向かって導体が引き出されることで、この内部導体 22 に引出部 22A が形成されている。さらに、内部導体 23 には、この内部導体 23 の奥側右寄り部分から奥側方向に向かって引き出されるように、引出部 23A が形成されている。また、内部導体 24 の奥側左寄り部分から奥側方向に向かって導体が引き出されることで、この内部導体 24 に引出部 24A が形成されている。

#### 【0028】

他方、内部導体 21 と隣り合って配置された内部導体 25 には、この内部導体 25 の奥側右寄り部分から奥側方向に向かって引き出されるように、引出部 25A が形成されている。また、内部導体 22 と隣り合って配置された内部導体 26 の奥側左寄り部分から奥側方向に向かって導体が引き出されることで、この内部導体 26 に引出部 26A が形成されている。

#### 【0029】

さらに、内部導体 23 と隣り合って配置された内部導体 27 には、この内部導体 27 の手前側左寄り部分から手前側方向に向かって引き出されるように、引出部 27A が形成されている。また、内部導体 24 と隣り合って配置された内部導体 28 の手前側右寄り部分から手前側方向に向かって導体が引き出されることで、この内部導体 28 に引出部 28A が形成されている。

#### 【0030】

以上より、4 つの引出部 21A、22A、27A、28A が、図 2 に示す誘電

体素体 12 の手前側の側面 12B に引き出されており、また、4 つの引出部 23A、24A、25A、26A が、誘電体素体 12 の奥側の側面 12D に引き出されている。つまり、各引出部 21A ~ 28A が、図 2 に示す誘電体素体 12 の 4 つの側面 12B ~ 12E の内の長く形成された二つの側面 12B、12D に向かって 4 つずつ引き出される形とされている。尚、本実施の形態では、側面 12C、12E の長さ W が例えば 1.25 mm であるのに対して、各引出部 21A ~ 28A が引き出される二つの側面 12B、12D の長さ L は例えば 2.0 mm であった。

#### 【0031】

図 2 に示すように、誘電体素体 12 の手前側の側面 12B には、内部導体 21 の引出部 21A に接続される端子電極 31、内部導体 22 の引出部 22A に接続される端子電極 32、内部導体 27 の引出部 27A に接続される端子電極 37 及び、内部導体 28 の引出部 28A に接続される端子電極 38 が、左から順にそれぞれ配置されている。

#### 【0032】

同様に図 2 に示すように、誘電体素体 12 の奥側の側面 12D には、内部導体 24 の引出部 24A に接続される端子電極 34、内部導体 23 の引出部 23A に接続される端子電極 33、内部導体 26 の引出部 26A に接続される端子電極 36 及び、内部導体 25 の引出部 25A に接続される端子電極 35 が、左から順にそれぞれ配置されている。

#### 【0033】

以上より本実施の形態では、直方体である六面体形状とされる誘電体素体 12 の 4 つの側面 12B ~ 12E の内の長く形成された二つの側面 12B、12D に各端子電極 31 ~ 38 が 4 つずつ配置されることになり、また各引出部 21A ~ 28A を介して 8 種類の内部導体 21 ~ 28 とそれぞれ各端子電極 31 ~ 38 が接続されることになる。

#### 【0034】

他方、内部導体 21、27 の中央部には、図 1 において左右方向に延びるような切り込みである切込部 29A が、それぞれ設けられており、またこの切込部 2

9 Aの左端部が屈曲して、引出部 21 A、27 Aの右側部分にまで手前側方向にそれぞれ延びている。従って、この切込部 29 Aの存在により、内部導体 21の電流の流路となる流路部 21 B及び、内部導体 27の電流の流路となる流路部 27 Bが、それぞれ屈曲した形で形成されている。

#### 【0035】

また、内部導体 22、28には、内部導体 22、28の図1における右端側中程から左右方向に延びる切り込みである切込部 29 Bが、それぞれ設けられている。従って、この切込部 29 Bの存在により、内部導体 22の電流の流路となる流路部 22 B及び、内部導体 28の電流の流路となる流路部 28 Bが、それぞれ屈曲した形で形成されている。

#### 【0036】

さらに、内部導体 23、25の中央部には、図1において左右方向に延びるような切り込みである切込部 29 Cが、それぞれ設けられており、またこの切込部 29 Cの右端部が屈曲して、引出部 23 A、25 Aの左側部分にまで奥側方向にそれぞれ延びている。従って、この切込部 29 Cの存在により、内部導体 23の電流の流路となる流路部 23 B及び、内部導体 25の電流の流路となる流路部 25 Bが、それぞれ屈曲した形で形成されている。

#### 【0037】

また、内部導体 24、26には、内部導体 24、26の図1における左端側中程から左右方向に延びる切り込みである切込部 29 Dが、それぞれ設けられている。従って、この切込部 29 Dの存在により、内部導体 24の電流の流路となる流路部 24 B及び、内部導体 26の電流の流路となる流路部 26 Bが、それぞれ屈曲した形で形成されている。

#### 【0038】

従って、本実施の形態では、切込部 29 A～29 Dの存在により、直角に折り曲げられる部分や折り返される部分を複数有して帯状となった流路部 21 B～28 Bを各内部導体 21～28が有していることになる。

#### 【0039】

一方、本実施の形態の積層コンデンサ 10は、二つのコンデンサを内蔵した形

になっていて、図5に示す回路図のような使用例が考えられる。具体的には、左側寄りの端子電極31、32、33、34が左側の電源41及びCPU43に接続される形とされている。すなわち、端子電極31、33がCPU43の一端側と電源41との間に接続されており、また、端子電極32、34がCPU43の他端側に接続されると共に接地されている。

#### 【0040】

さらに、右側寄りの端子電極35、36、37、38が右側の電源42及びCPU44に接続される形とされている。すなわち、端子電極35、37がCPU44の一端側と電源42との間に接続されており、また、端子電極36、38がCPU44の他端側に接続されると共に接地されている。

#### 【0041】

これに伴って、図4に示す等価回路のように、端子電極31、33、35、37と端子電極32、34、36、38とが相互に逆の極性で使用される形となる。例えば図2及び図4に示すように手前側の側面12Bの一つ置き of 端子電極31、37が+極になると同時に一つ置き of 端子電極32、38が一極になり、また、奥側の側面12Dの一つ置き of 端子電極33、35が+極になると同時に一つ置き of 端子電極34、36が一極になることが有り、このときには、図1の矢印で示す電流の向きのように電流が流れることになる。

#### 【0042】

つまり、端子電極31、33、35、37にそれぞれ繋がる内部導体21、23、25、27の流路部21B、23B、25B、27Bでは時計回転方向に沿って電流が流れ、また、端子電極32、34、36、38にそれぞれ繋がる内部導体22、24、26、28の流路部22B、24B、26B、28Bでは反時計回転方向に沿って電流が流れるようになる。

#### 【0043】

以上より、誘電体素体12の左側寄り部分において、セラミック層12Aを介して隣り合う内部導体21、22の流路部21Bと流路部22Bとの間において、相互に逆向きに電流が流れる形に、流路部21B、22Bはそれぞれ内部導体21、22に配置されていることになる。同じくセラミック層12Aを介して隣

り合う内部導体 22、23 の流路部 22B と流路部 23B との間においても、相互に逆向きに電流が流れる形に、流路部 22B、23B はそれぞれ内部導体 22、23 に配置されていることになる。

#### 【0044】

同じくセラミック層 12A を介して隣り合う内部導体 23、24 の流路部 23B と流路部 24B との間、内部導体 24、21 の流路部 24B と流路部 21B との間においても、相互に逆向きに電流が流れる形に、流路部 23B、24B はそれぞれ内部導体 23、24 に配置されていることになる。

#### 【0045】

他方、誘電体素体 12 の右側寄り部分において、セラミック層 12A を介してそれぞれ隣り合う内部導体 25～28 においても、相互に逆向きに電流が流れる形に、流路部 25B～27B はそれぞれ内部導体 25～28 に配置されていることになる。

#### 【0046】

次に、本実施の形態に係る積層コンデンサ 10 の作用を説明する。

本実施の形態に係る積層コンデンサ 10 によれば、それぞれセラミック層 12A となる複数の誘電体シートが積層されて直方体形状に形成される誘電体素体 12 内に、8 種類の内部導体 21～28 が、それぞれ 2 種類ずつ同一面上に並ぶ形でセラミック層 12A で相互間が隔てられつつ配置される構成を有している。さらに、これら 8 種類の内部導体 21～28 からそれぞれ引き出された各一つで計 8 つとなる引出部 21A～28A が、誘電体素体 12 の 4 つの側面 12B～12E の内の長く形成された二つの側面 12B、12D に向かって 4 つずつ引き出されている。

#### 【0047】

また 8 つの端子電極 31～38 が、同じく長く形成された二つの側面 12B、12D に 4 つずつ配置されており、これら端子電極 31～38 の内の同一側面内で隣り合う端子電極同士の極性が相互に異極になるように、8 つの端子電極 31～38 に内部導体 21～28 の引出部 21A～28A がそれぞれ接続されている。つまり、8 つの端子電極 31～38 にそれぞれ接続された 8 種類の内部導体 2

1～28が、2種類ずつ同一面上に配置される形で、4層積層されるのに伴って、内部導体が相互に対向しつつ並列して配置されるコンデンサを二組形成することになる。

#### 【0048】

具体的には、セラミック層12Aを介して隣り合っている二つの内部導体同士の引出部を、図2に示す誘電体素体12の手前側の側面12Bに4つ配置される端子電極31、32、37、38の内の相互に隣り合った二つにそれぞれ接続し、また、奥側の側面12Dに4つ配置される端子電極33、34、35、36の内の相互に隣り合った二つにそれぞれ接続するようにした。

#### 【0049】

この結果として、本実施の形態の積層コンデンサ10への通電の際に、端子電極31～38の内の同一側面内で隣り合う端子電極同士の極性が相互に異なって交互に正負極に順次なる形で、電流が流されるようになる。そしてこれに伴って、各引出部21A～28Aでそれぞれ発生する磁束が、隣り合う引出部間で相互に逆向きに流れる電流によって互いに打ち消し合い、等価直列インダクタンスを低減する効果が生じるようになった。

#### 【0050】

さらに、本実施の形態では、これら8種類存在する内部導体21～28が、それぞれ切込部29A～29Dを有しており、これら切込部29A～29Dを挟んだ各内部導体21～28の部分が流路部21B～28Bをそれぞれ構成しているだけでなく、セラミック層12Aを介して隣り合っている別の内部導体の流路部との間で相互に逆向きに電流が流れる形に、各流路部21B～24B及び、各流路部25B～28Bが、それぞれ配置されている。

#### 【0051】

従って、この積層コンデンサ10への通電の際に、セラミック層12Aを介して隣り合う内部導体21～24の流路部21B～24B同士間及び、同じく内部導体25～28の流路部25B～28B同士間で、それぞれ電流が相互に逆方向に流れるようになる。そしてこれに伴って、内部導体に流れる高周波電流により発生する磁束が互いに打ち消し合うように相殺され、積層コンデンサ10自体が



持つ寄生インダクタンスを少なくすることで、等価直列インダクタンス (ESL) が一層低減される。

#### 【0052】

さらに、同一の内部導体 21～28 内においても、各流路部 21B～28B の切込部 29A～29D を挟んで位置する部分間で、それぞれ電流の流れる方向が相互に逆なるので、等価直列インダクタンスがより一層低減されるようになる。

#### 【0053】

以上より、本実施の形態に係る積層コンデンサ 10 は、大幅な低 ESL 化が図られて、実効インダクタンスが大幅に低減されるようになる。この結果、本実施の形態によれば、電源の電圧の振動を確実に抑制できて、CPU の電源用として最適な積層コンデンサ 10 となる。

#### 【0054】

他方、本実施の形態では、8 種類の内部導体 21～28 がそれぞれ同一面上に 2 種類ずつ並ぶ形で配置されるのに伴って、2 組のコンデンサから成るコンデンサアレイを構成することになるので、積層コンデンサ 10 の高機能化を図ることが可能となる。そして、誘電体素体 12 の 4 つの側面 12B～12E の内の長く形成された二つの側面 12B、12D に、内部導体の引出部と接続される端子電極が 4 つずつ存在することで、これら長く形成された側面 12B、12D を有効に活用できるのに伴って、積層コンデンサ 10 の小型化を図ることもできるようになった。

#### 【0055】

一方、本実施の形態では、8 種類の内部導体 21～28 が、誘電体素体 12 内に複数ずつ配置されているので、積層コンデンサ 10 の静電容量が高まるだけでなく、磁界を相殺する作用がさらに大きくなり、インダクタンスがより大幅に減少して ESL が一層低減されるようになる。

#### 【0056】

次に、ネットワークアナライザを用いて、以下の各試料の S パラメータの  $S_{21}$  特性を測定し、各試料の減衰特性をそれぞれ求めた。まず、各試料となるサンプルの内容を説明する。つまり、コンデンサとして一般的な図 9 に示す積層コン

デンサを従来例とし、図2に示す一実施の形態に係る積層コンデンサを実施例とした。

#### 【0057】

ここで、減衰特性の実測値と図7に示す積層コンデンサ100内の等価回路の減衰量とが合致するように、等価回路の定数を算出した。そして、図6に示す各試料の減衰特性のデータから、共振点が従来例の約18MHzに対して実施例では約43MHzに高まり、かつ、40MHz以上の周波数において実施例の減衰量が従来例の減衰量に比べて約15dB大きくなっていることが分かる。この為、このデータによって高周波特性の改善が実施例に見られることが理解できる。

#### 【0058】

他方、インピーダンスアナライザーで測定して算出したESLの結果に関しても、従来例の750.5pHに比べて実施例は135.2pHと大幅に低減されている。尚、等価直列抵抗(ESR)に関し、従来例は20.5mΩであったのに対して、実施例は24.8mΩであった。

#### 【0059】

ここで用いた各試料の寸法に関して図2及び図9に示す長さW及び長さLは、従来例及び実施例共にW=1.25mm、L=2.0mmであった。また、試験に用いた各試料の静電容量は、従来例が0.105μFであり、実施例が0.102μFであった。

#### 【0060】

尚、上記実施の形態に係る積層コンデンサ10では、8種類の内部導体を有する構造とされているが、層数は実施の形態に示された数に限定されずさらに多数としても良い。また、上記実施の形態では、隣り合う端子電極同士が相互に異極となるようにしたが、これに伴って相互に対向する端子電極同士も異極となるように、上記実施の形態では内部導体が配置されている。

#### 【0061】

##### 【発明の効果】

本発明によれば、等価直列インダクタンスを大幅に低減してCPU用の電源の電圧変動を小さくできる積層コンデンサを提供することが可能となる。

**【図面の簡単な説明】****【図 1】**

本発明の一実施の形態に係る積層コンデンサの分解斜視図であって、この積層コンデンサの内部導体の部分をそれぞれ示す図である。

**【図 2】**

本発明の一実施の形態に係る積層コンデンサを示す斜視図である。

**【図 3】**

本発明の一実施の形態に係る積層コンデンサを示す断面図であって、図 2 の 3-3 矢視線断面図である。

**【図 4】**

本発明の一実施の形態に係る積層コンデンサの等価回路を示す図である。

**【図 5】**

本発明の一実施の形態に係る積層コンデンサをコンデンサアレイとして 2 回路に接続する形で使用した回路図である。

**【図 6】**

各試料の減衰特性を表すグラフを示した図である。

**【図 7】**

従来例の積層コンデンサを採用した回路図である。

**【図 8】**

従来例の積層コンデンサを採用した回路における電流変動と電圧変動との関係を表すグラフを示した図である。

**【図 9】**

従来例に係る積層コンデンサを示す斜視図である。

**【図 10】**

従来例に係る積層コンデンサの内部導体の部分を示す分解斜視図である。

**【符号の説明】**

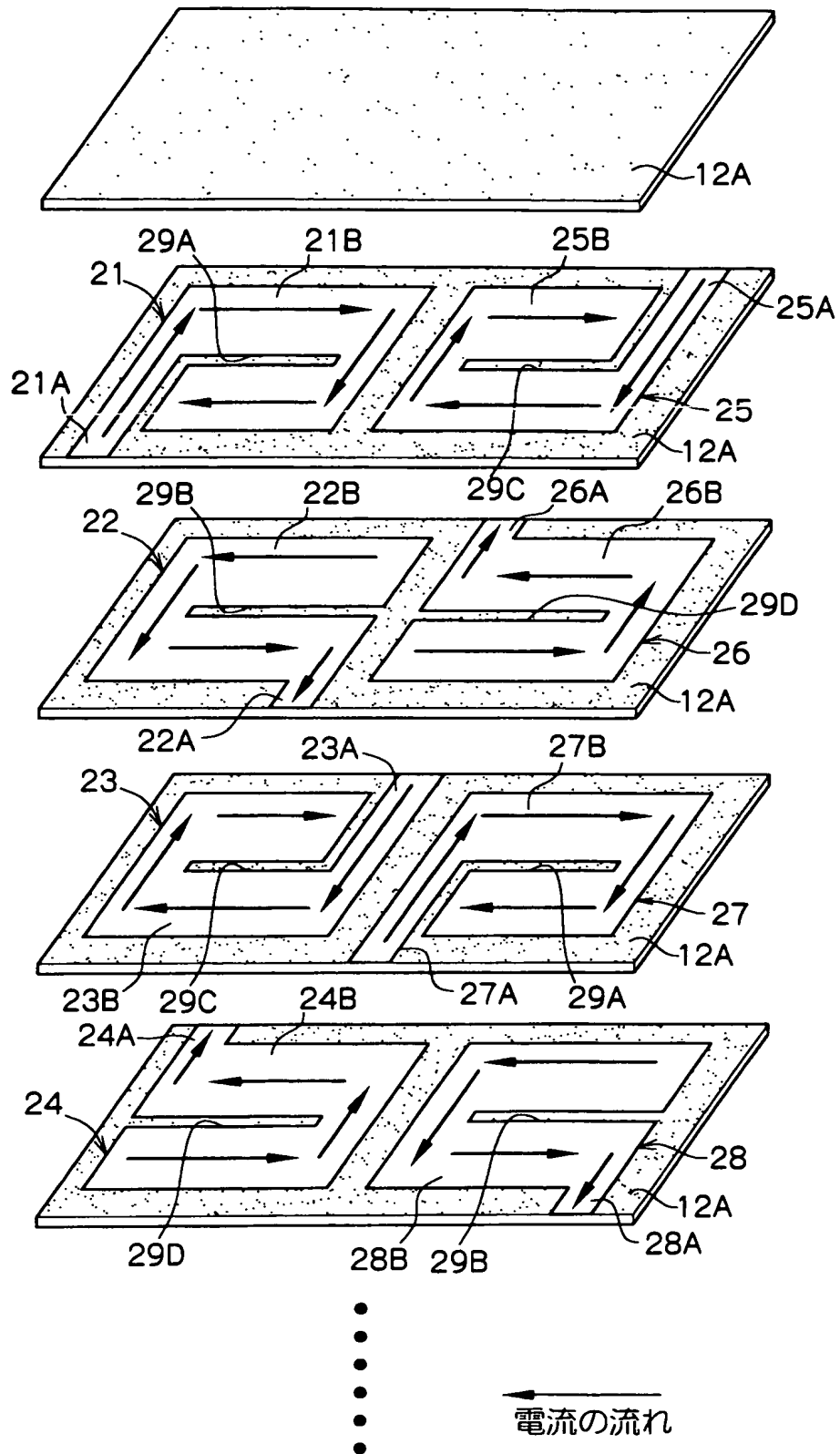
- |           |         |
|-----------|---------|
| 10        | 積層コンデンサ |
| 12        | 誘電体素体   |
| 12B ~ 12E | 側面      |

2 1 ~ 2 8      内部導体  
2 1 A ~ 2 8 A   引出部  
2 1 B ~ 2 8 B   流路部  
2 9 A ~ 2 9 D   切込部  
3 1 ~ 3 8      端子電極

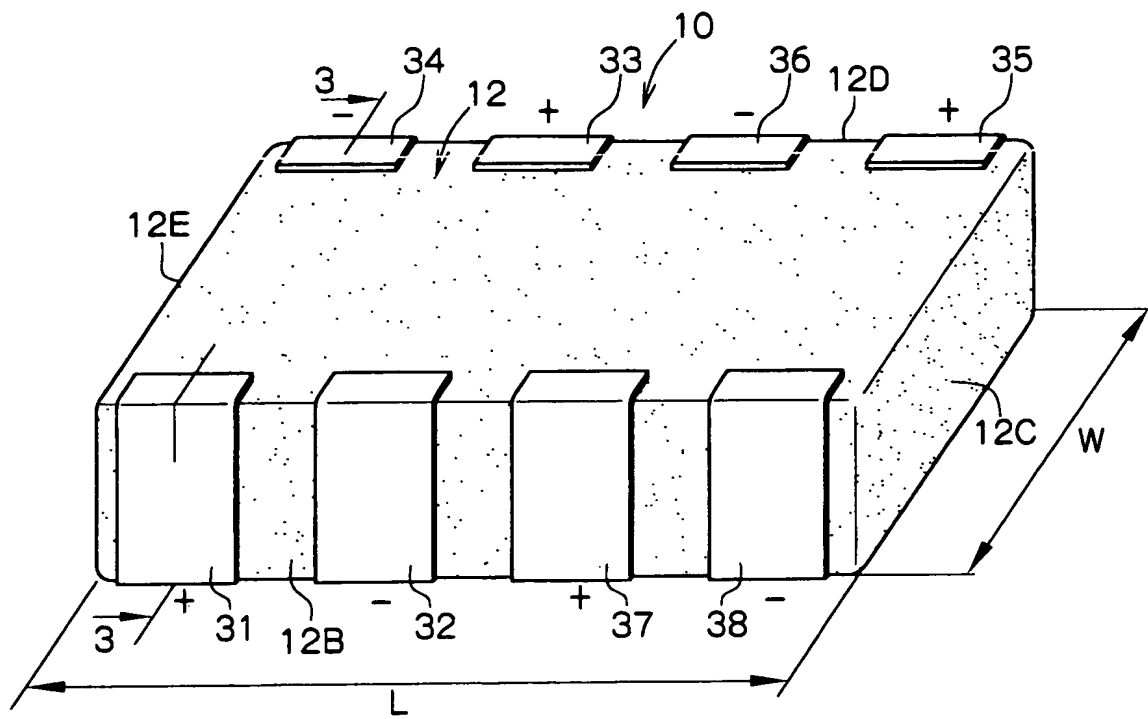
【書類名】

図面

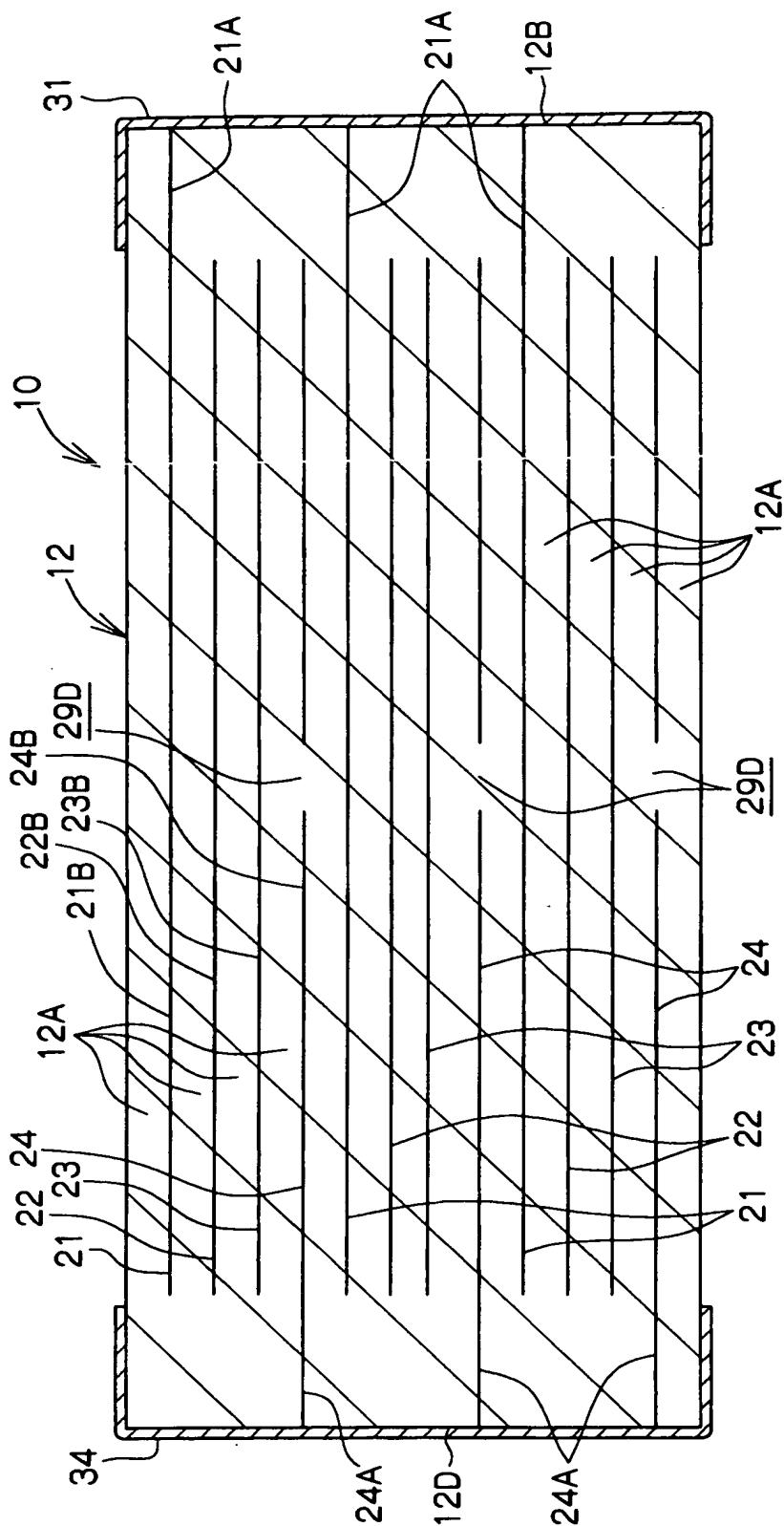
【図 1】



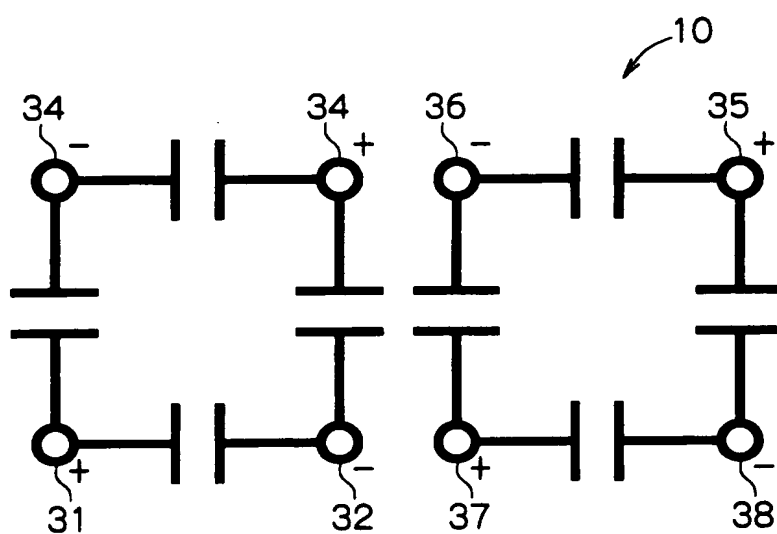
【図 2】



【図 3】

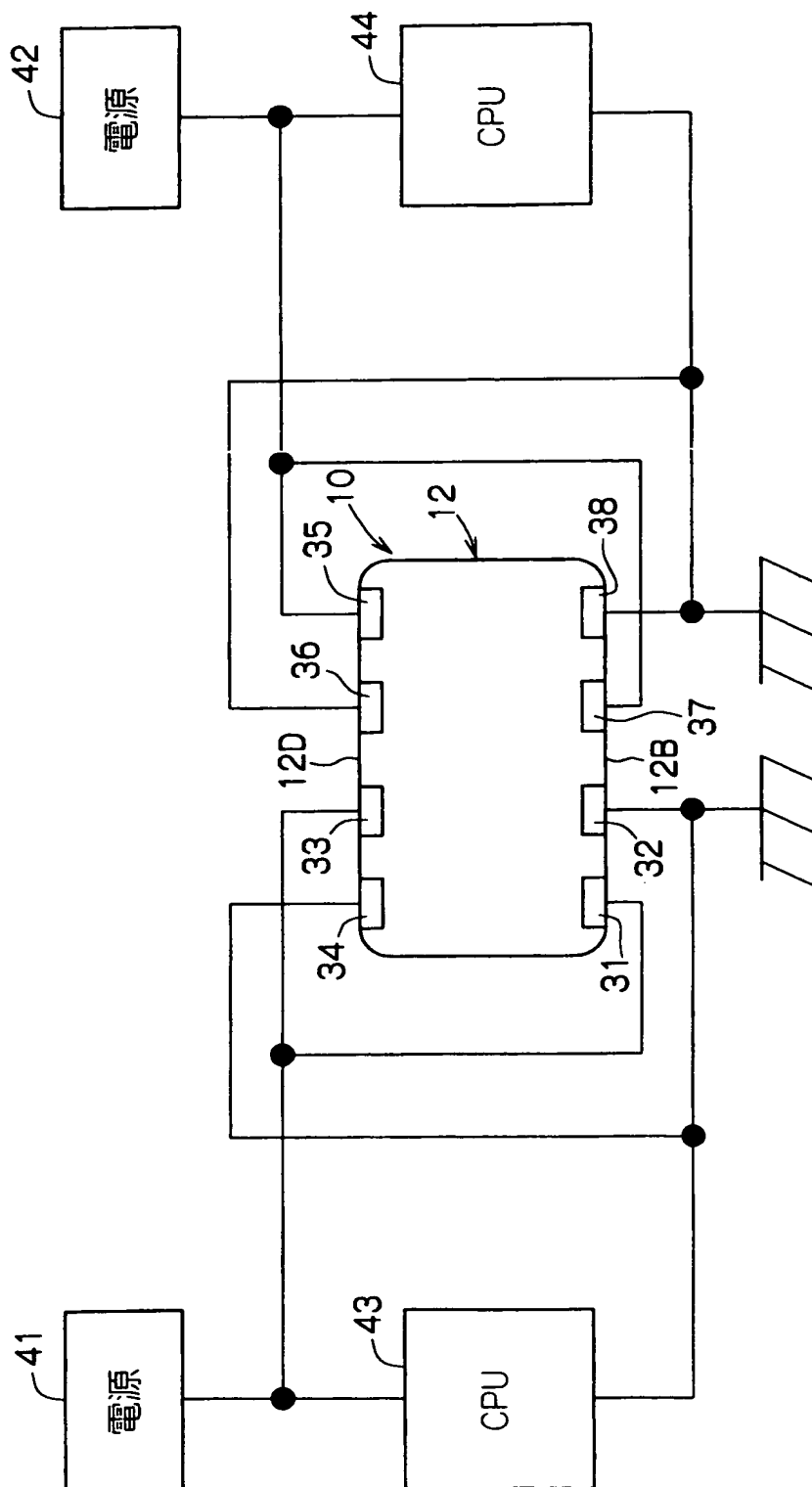


【図 4】

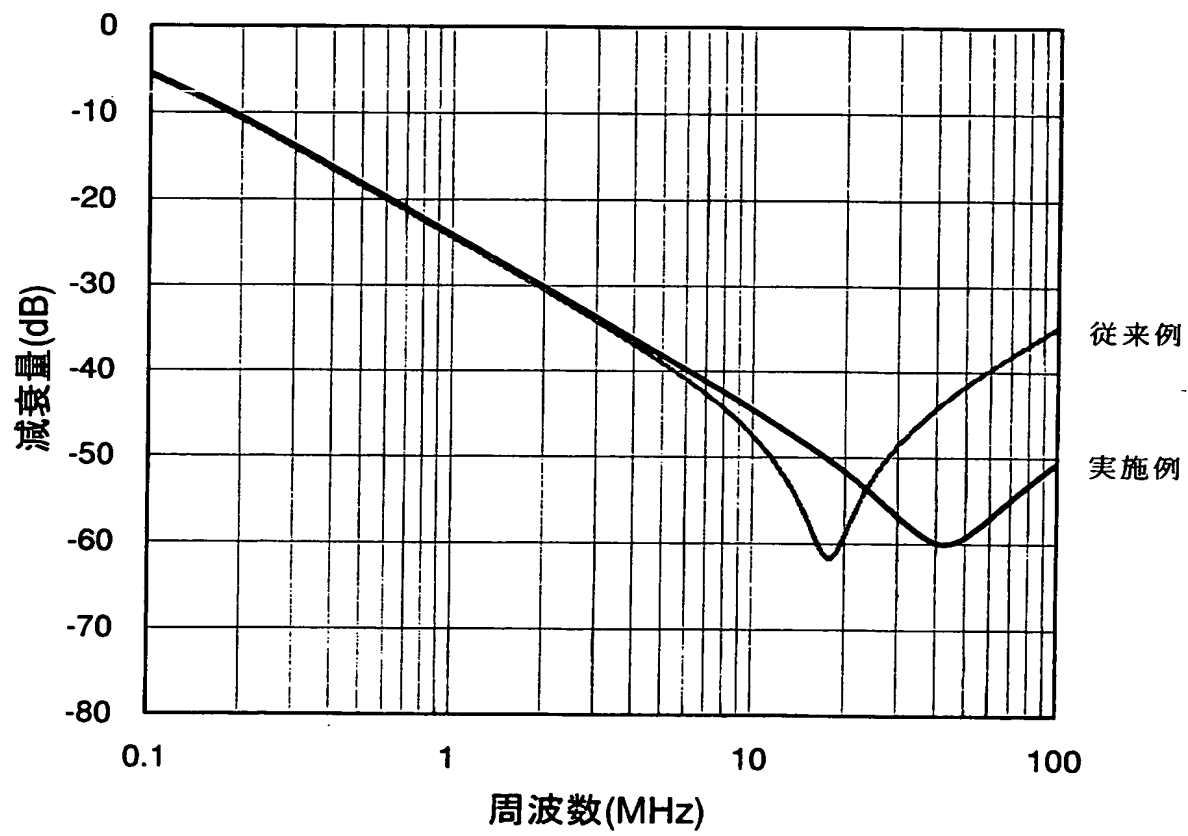




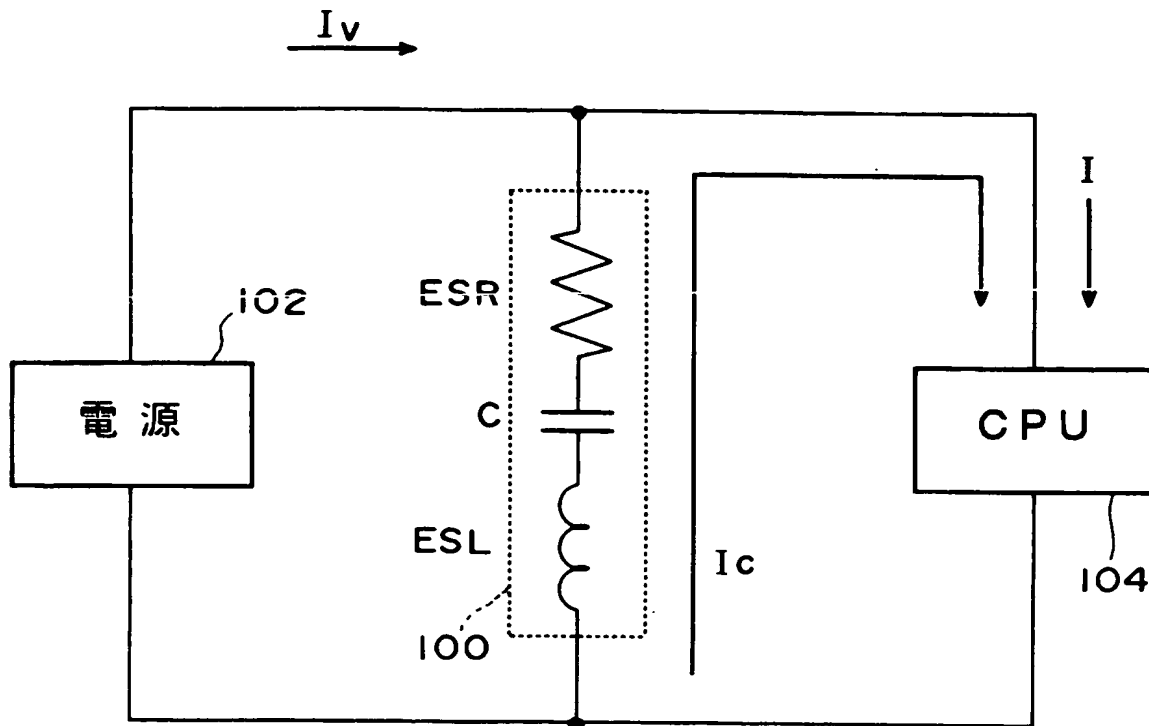
【図 5】



【図 6】

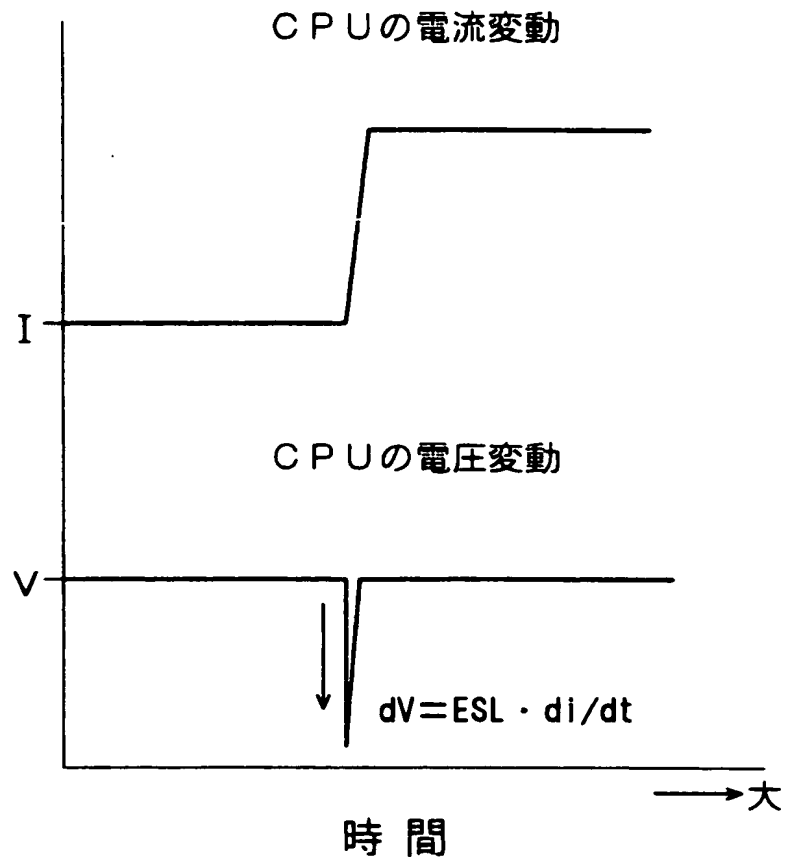


【図 7】

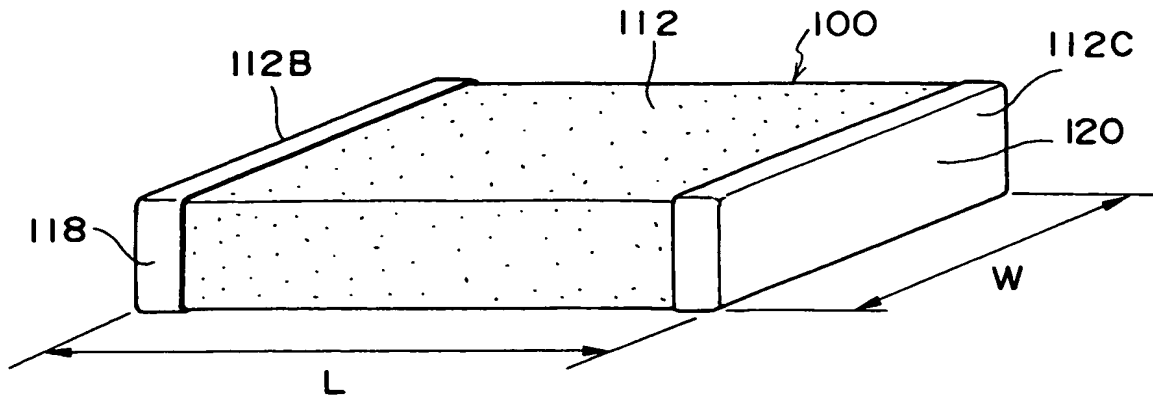


$I$  : CPUの駆動電流  
 $I_c$  : コンデンサからの放電電流  
 $I_v$  : 電源からの電流  
 $C$  : 静電容量  
 $ESR$  : 等価直列抵抗  
 $ESL$  : 等価直列インダクタンス

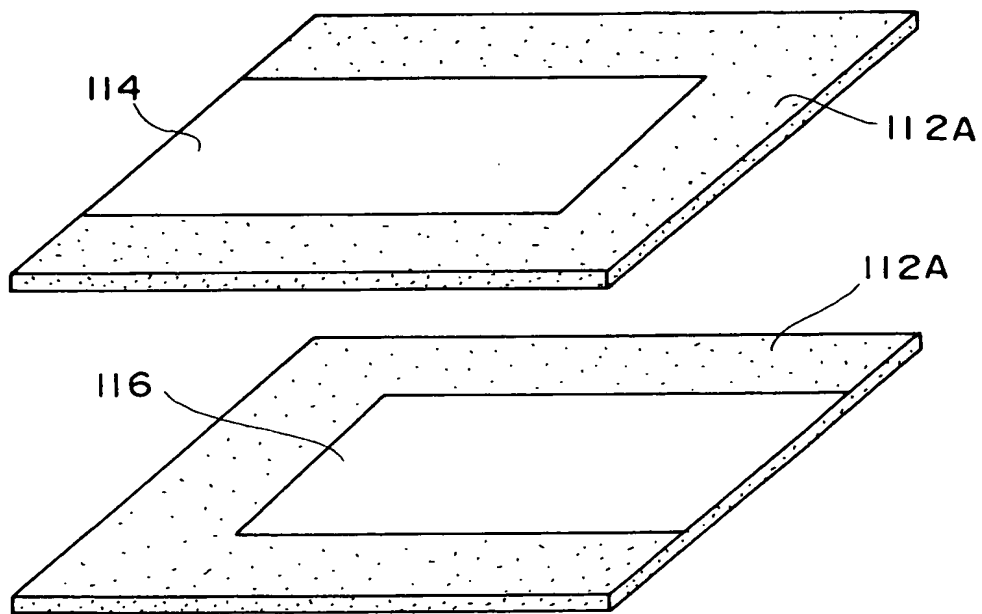
【図 8】



【図 9】



【図 10】



【書類名】 要約書

【要約】

【課題】 積層コンデンサの等価直列インダクタンスを大幅に低減してCPU用の電源の電圧変動を小さくする。

【解決手段】 それぞれ2種類ずつ同一面上に並ぶ形の8種類の内部導体21～28が、セラミック層12Aで相互間が隔てられつつ誘電体素体内に配置される。各内部導体21～28に、誘電体素体の4つの側面の内の長く形成された二つの側面に向かって4つずつ引き出されるように、各引出部21A～28Aが形成され、同じくこれら長く形成された二つの側面に4つずつ端子電極が配置される。隣り合う端子電極同士の極性が相互に異極になるように、各引出部21A～28Aが8つの端子電極にそれぞれ接続される。

【選択図】 図1

特願 2 0 0 3 - 1 0 6 1 4 5

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 3 0 6 7 ]

1. 変更年月日 1 9 9 0 年 8 月 3 0 日  
[変更理由] 新規登録  
住 所 東京都中央区日本橋 1 丁目 1 3 番 1 号  
氏 名 ティーディーケイ株式会社
2. 変更年月日 2 0 0 3 年 6 月 2 7 日  
[変更理由] 名称変更  
住 所 東京都中央区日本橋 1 丁目 1 3 番 1 号  
氏 名 T D K 株式会社